

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP6291256
Publication date: 1994-10-18
Inventor(s): NAKANO MASAKO
Applicant(s):: NEC IC MICROCOMPUT SYST LTD
Requested Patent: ☐ JP6291256
Application Number: JP19930075921 19930401
Priority Number(s):
IPC Classification: H01L27/04 ; G06F15/60 ; H01L21/82
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the area used to supply a power source and ground from increasing by supplying the power source and the ground from other points than both edges of a primitive cell row through a power source or a ground pass to positions on the primitive cell which a second metal layer can pass.

CONSTITUTION: The longitudinal direction is a second metal layer wiring direction. Power to a functional block is supplied by power sources Vcc1 and 6 and ground GND1-6, and power sources 2-5, power sources Vcc7-10 and ground GND2-5, and ground GND7-9 which are a second metal layer pass. A wiring region A1 of the wiring block mainly comprises a first metal layer, and an element region B1 mainly comprises primitive cells a-m. At a position where the second metal layer pass on the cells a-m is passable, power and ground are supplied to inside the cells a-m from points other than both edges of the cell row a-m through the power source Vcc and the ground GND pass. This enables a block area to be made small and a shield effect to be obtained.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-291256

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/04

D 8427-4M

G 0 6 F 15/60

3 7 0 A 7623-5L

H 0 1 L 21/82

9169-4M

H 0 1 L 21/ 82

C

審査請求 未請求 請求項の数 1 OL (全 4 頁)

(21)出願番号

特願平5-75921

(22)出願日

平成5年(1993)4月1日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 中野 雅子

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

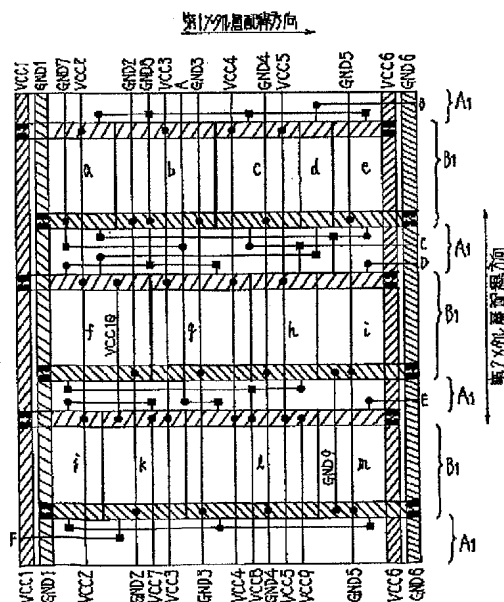
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 マスク設計において、インバータ、マルチプレクサ、ラッチ回路などのプリミティブセルを2.5層ルーターの自動配置配線ツールで機能ブロックを設計する場合、プリミティブセル上を第2メタル層パスが通過可能な位置すべてをブロックの入出力信号やブロック内のネットの通過のためだけに使うには余裕があり、この余分を有効の使う。また、ブロックに必要な電源(Vcc)、グラウンド(GND)の供給のためにブロック面積の増大を防ぐ。

【構成】 2.5層ルーターのプリミティブセルa~mによる自動配置配線、ブロックへの電源(Vcc)、グラウンド(GND)の供給のためプリミティブセル上を第2メタル層パスが通過可能な位置に電源(Vcc)、グラウンド(GND)を通したので、ブロック面積が小さくなり、電源(Vcc)、グラウンド(GND)を通過させるということでシールドの役目を果たし、電源(Vcc)、グラウンド(GND)の供給場所をブロック全体にちらすことが可能となるので特性的にも良いという結果を有する。



A1 : 配線領域

a~m : プリミティブセル

B1 : 素子領域

・ : コンタクト

A~F : プリミティブセルの入出力信号

・ : スルーホールコンタクト

1

【特許請求の範囲】

【請求項1】 マスク設計において、インバータ、フリップフロップ、マルチプレクサ、ラッチ回路などのプリミティブセルを2. 5層ルーターの自動配置配線ツールで1つの機能ブロックを設計する場合、あらかじめ識別可能となっていたプリミティブセル上通過可能な第2メタル層パスの位置に電源、あるいはグラウンドの第2メタル層を通し、プリミティブセルが並んでいる各列の両端以外からもプリミティブセル内に電源、グラウンドを供給することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特にマスク設計における2. 5層ルーターの自動配置配線に関する。

【0002】

【従来の技術】 従来の2. 5層ルーターのプリミティブセルによる自動配置配線を図2、図3を用いて説明する。

【0003】 図2はプリミティブセルに一例図である。図2(a)は入力信号I1, I2, 制御信号E1, E1B, E2B, 出力信号O1からなるマルチプレクサ回路であり、そのレイアウト図が図2(b)である。ここで、第2メタル層配線はマルチプレクサの出力信号O1で1本使っており、図2(b)の第1メタル層、第2メタル層のみを示した図2(c)のa~eのようにプリミティブセル内を通過可能な第2メタル層配線が5本ある。この位置をプリミティブセルの情報に加える。

【0004】 図3はプリミティブセルa~mを自動配置配線して1つの機能ブロックを設計した例である。横方向が第1メタル層配線方向、縦方向が第2メタル層配線方向となっており、左右それぞれの端には機能ブロック内の消費電力より算出された幅の電源(Vcc)とグラウンド(GND)の柱があり、各列のプリミティブセル内の電源(Vcc)、グラウンド(GND)に供給されている。A1部は配線領域で主に第1メタル層配線からなり、B1部は素子領域でプリミティブセルが並んでいる列である。ここで、プリミティブセル内を通過可能な第2メタル層パスの位置には配線Aのようにブロックの入出力信号やブロック内のネットをプリミティブセル上を

【0005】

【発明が解決しようとする課題】 この従来の2. 5層ルーターのプリミティブセルによる自動配置配線では、機能ブロックの種類、規模にもよるが、プリミティブセル上を第2メタル層パスが通過可能な位置すべてにブロックの入出力信号やブロック内のネットの通ることはなかつた。

【0006】 また、ブロックに供給する電源(Vcc)、グラウンド(GND)はブロックの消費電力より算

2

出される幅が必要になるが、分割して両端以外にも電源(Vcc)、グラウンド(GND)の柱をプリミティブセルの列に割りこんで配置するのは不可能であった。ブロックに必要な幅の電源(Vcc)、グラウンド(GND)は必然的に両端に配置され、広い電源(Vcc)、グラウンド(GND)領域ができてしまい、ブロックの面積は大きくなり、ブロックの素子数が増えるとこの傾向は顕著になる。

【0007】 本発明の目的は、従来の2. 5層ルーターのプリミティブセルによる自動配置配線に於ける問題点を除去し、ブロックに必要な電源(Vcc)、グラウンド(GND)の供給のためにブロック面積の増大を防ぐことができる半導体集積回路を提供することにある。

【0008】

【課題を解決するための手段】 本発明の2. 5層ルーターのプリミティブセルによる自動配置配線はプリミティブセル上を第2メタル層パスが通過可能な位置に電源(Vcc)、あるいはグラウンド(GND)のパスを通してプリミティブセルの列の両端以外から電源(Vcc)、グラウンド(GND)を供給する。

【0009】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の一実施例の2. 5層ルーターのプリミティブセルa~mによる自動配置配線を行った機能ブロックである。横方向が第1メタル層配線方向、縦方向が第2メタル層配線方向となっており、ブロックへの電源(Vcc)、グラウンド(GND)は幅細の第2メタル層Vcc1, Vcc6, GND1, GND6と第2メタル層パス(Vcc2~5, Vcc7~10, GND2~5, GND7~9)でプリミティブセル内の電源(Vcc)、グラウンド(GND)に供給されている。A1部は配線領域で主に第1メタル層からなり、B1部は素子領域でプリミティブセルが並んでいる列である。ここで、プリミティブセル上を第2メタル層パスが通過可能な位置に電源(Vcc)、グラウンド(GND)のパスを通すことでプリミティブセルの列の両端以外からプリミティブセル内に電源(Vcc)、グラウンド(GND)を供給している。第2メタル層パスだけでは、ブロックの消費電力より算出される電源(Vcc)、グラウンド(GND)の幅に満たされない分だけ両端から供給すればよい。

【0010】 この例ではVcc2~5, GND2~5のようにブロックの上から下まで直線でプリミティブセル上を通していたり、Vcc7~10, GND7~9のように少なくとも2列間の電源(Vcc)、グラウンド(GND)どうしをつなぐパスを通していたりする。

【0011】 機能ブロックの回路の種類、規模によって、ブロックに必要な電源(Vcc)、グラウンド(GND)のパスの数すべてをブロックの上から下まで直線で通るように配置配線したり、配置配線終了後、使ってい

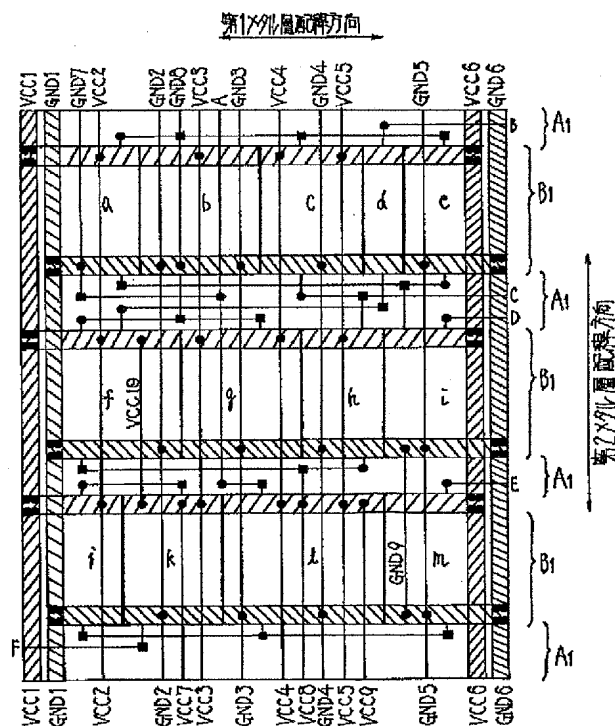
3

ない第2メタル層パスが通過可能な位置に電源(Vcc)、グランド(GND)のパスを通したり、図3のように両者をバランス良く混在させたりと使い分けことが可能である。

【0012】

【発明の効果】以上説明したように本発明は、機能ブロックを2.5層ルーターのプリミティブセルによる自動配置配線で設計するさい、ブロックへの電源(Vcc)、グランド(GND)の供給のためプリミティブセルの列の両端に必要な幅太の第2メタル層領域をプリミティブセルの上を第2メタル層パスで通したので、ブロック面積が小さくなり、電源(Vcc)、グランド(GND)を通過させるということでシールドの役目を果たし、電源(Vcc)、グランド(GND)の供給場所をブロック全体にちらすことが可能となるので特性的

【図1】



- A1 : 配線領域
B1 : 素子領域
A~F : ブロックの入出力信号
a~m : プリミティブセル
□ : コンタクト
● : スルーホールコンタクト

4

にも良いという結果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のプリミティブセルによる自動配置配線図である。

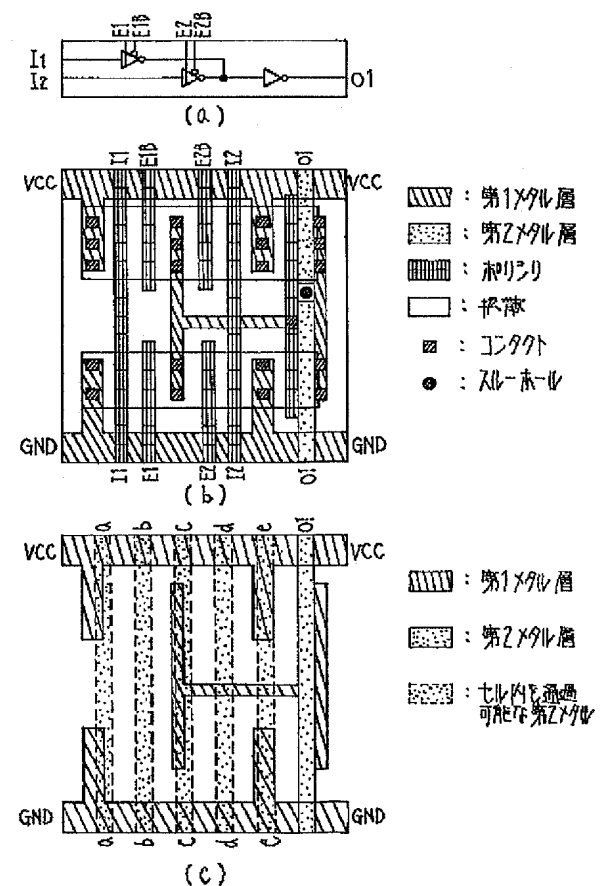
【図2】従来のプリミティブセルの説明図であり、分図(a)はマルチプレクサ回路図、分図(b)はそのレイアウト図、分図(c)はメタル層のみ示したレイアウト図である。

【図3】従来のプリミティブセルによる自動配置配線図である。

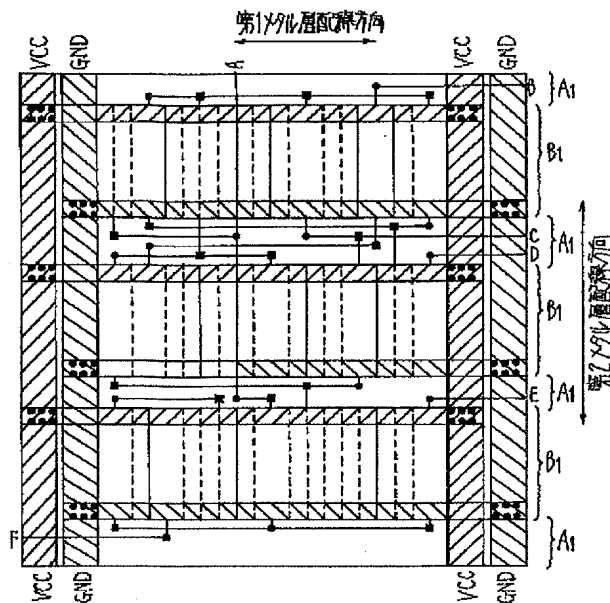
【符号の説明】

- A1 配線領域
B1 素子領域
A~F ブロックの入出力信号
a~m プリミティブセル

【図2】



【図3】



- | | |
|------------------|-------------------------|
| A1 : 配線領域 | ■ : コンタクト |
| B1 : 素子領域 | ● : スルーホールコンタクト |
| A~F : ブロックリ入出力端子 | ---- : 通過可能な第2メタル層100μm |
| a~m : プリミティブセル | |